

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-091580  
 (43)Date of publication of application : 29.03.2002

(51)Int.CI. G05F 1/56

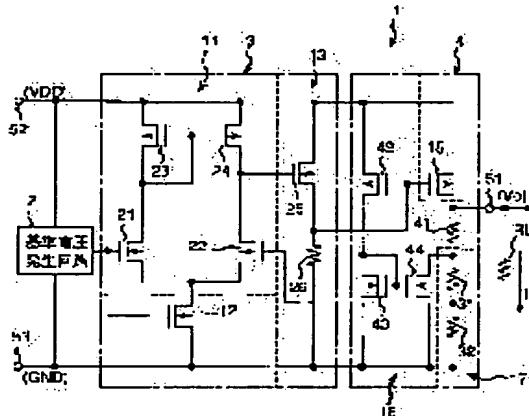
(21)Application number : 2000-285207 (71)Applicant : RICOH CO LTD  
 (22)Date of filing : 20.09.2000 (72)Inventor : NAGATA TOSHIHISA  
 AGARI HIDEKI

## (54) REGULATED POWER SUPPLY CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a regulated power supply circuit which can suppress the lowering of regulation voltage despite the increase of output current  $I_o$ .

SOLUTION: An output voltage correction part 16 is arranged between an output transistor  $Tr 15$  and an output voltage detection part 17 which generates the feedback voltage  $V_{fb}$  that is accordant with output voltage  $V_o$ . Then the part 16 applies the current to resistor 41 in response to the value of output current  $I_o$  for compensating the lowering of the voltage  $V_o$ .



## LEGAL STATUS

[Date of request for examination] 24.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-91580

(P2002-91580A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl.<sup>7</sup>  
G 0 5 F 1/56

識別記号  
3 1 0

F I  
G 0 5 F 1/56

テ-マコ-ト(参考)  
3 1 0 D 5 H 4 3 0

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願2000-285207(P2000-285207)

(22) 出願日 平成12年9月20日 (2000.9.20)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 永田 敏久

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 上里 英樹

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74) 代理人 100062144

弁理士 青山 葦 (外1名)

Fターム(参考) 5H430 BB05 BB09 BB10 BB11 EE06

FF02 FF07 FF11 FF13 GG08

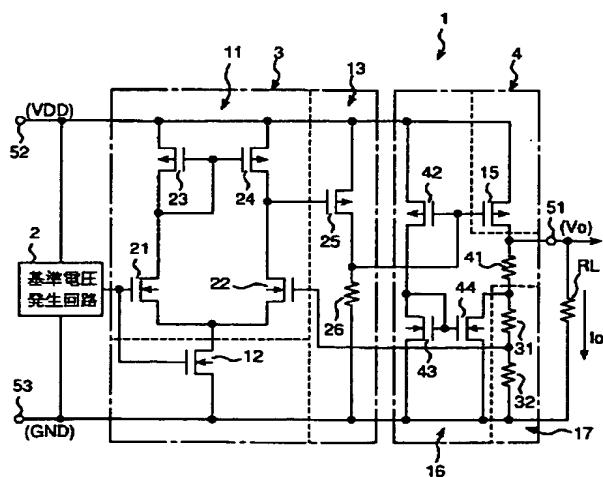
HH03

(54) 【発明の名称】 安定化電源回路

(57) 【要約】

【課題】 出力電流  $I_o$  が大きくなつてもレギュレーション電圧の低下を抑制することができる安定化電源回路を得る。

【解決手段】 出力トランジスタ 15 と、出力電圧  $V_o$  に応じたフィードバック電圧  $V_{fb}$  を生成する出力電圧検出部 17 との間に、出力電流  $I_o$  の電流値に応じた電流を抵抗 41 に流して出力電圧  $V_o$  の低下を相殺して補正する出力電圧補正部 16 を備えるようにした。



### 【特許請求の範囲】

【請求項1】 制御信号入力端に入力される制御信号に応じて、外部の直流電源から供給される直流電流を可変して出力端子に出力する出力トランジスタと、該出力端子の電圧検出を行う出力電圧検出部と、該出力電圧検出部で検出された電圧が所定の電圧になるように上記出力トランジスタの制御信号入力端に制御信号を出力する出力電圧制御部と、上記出力トランジスタから出力された電流の検出を行い、該検出した出力電流に応じて上記出力端子の電圧補正を行う出力電圧補正部と、を備えることを特徴とする安定化電源回路。

【請求項2】 上記出力電圧補正部は、出力トランジスタから出力された電流の増加に応じて出力端子の電圧を上昇させる補正を行うことを特徴とする請求項1記載の安定化電源回路。

【請求項3】 上記出力電圧補正部は、  
出力端子と出力電圧検出部との間に設けられた出力電圧  
補正用抵抗と、  
上記出力トランジスタから出力された電流に応じて該出  
力電圧補正用抵抗に流れる電流を可変する出力電圧補正  
制御部と、を備えることを特徴とする請求項1又は2記  
載の安定化電源回路。

【請求項4】 上記出力電圧補正用抵抗は、可変抵抗であることを特徴とする請求項3記載の安定化電源回路。

【請求項5】 上記出力電圧補正用抵抗は、トリミング抵抗であることを特徴とする請求項4記載の安定化電源回路。

## 【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、安定化電源回路に関する。

なお、上記 (a) 式において、R102は抵抗102の抵抗値を、R103は抵抗102の抵抗値を示している。

【0005】

【発明が解決しようとする課題】しかし、このような安定化電源回路100では、図5に示すように出力端子108から出力される出力電流Ioの増加に応じて出力電圧Voが低下する。これは、差動増幅器111のNMO-Sトランジスタ121及び122の動作電流がアンバランスになり、NMO-Sトランジスタ121及び122のゲート・ソース間電圧Vgsにオフセットが生じるからである。一方、出力トランジスタ106のゲートサイズを大きくして、出力トランジスタ106の電流出力能力を大きくすることにより、出力電流Io増加時における出力電圧Voの低下を防止することができる。しかし、出力トランジスタ106のゲートサイズを大きくすることによって半導体チップの大きさが増大するという問題

る。

[0002]

【従来の技術】図4は、従来の安定化電源回路の例を示した回路図である。図4の安定化電源回路100において、基準電圧回路101で生成された基準電圧 $V_{ref}$ 並びに抵抗102及び103の出力電圧検出回路104で分圧して得られた電圧 $V_{fb}$ は、差動増幅回路105で差動増幅される。該差動増幅回路105は、差動増幅を行って得られた信号を用いてPチャネル形MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）の出力トランジスタ106を制御する。また、出力電圧検出回路104及び出力トランジスタ106は出力回路107を形成し、出力電圧検出回路104と並列に負荷抵抗R<sub>L</sub>が接続される。

【0003】差動増幅回路105は、差動動作を行う一对のNチャネル形MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）121及び122、並びに該各NMOSトランジスタ121及び122の負荷をなすカレントミラー回路を形成するPMOSトランジスタ123及び124からなる差動増幅器111と、該差動増幅器111に電流を供給する定電流源をなすNMOSトランジスタ112と、差動増幅器111の出力に応じて出力トランジスタ106をドライブする出力部113とで構成されている。

【0004】このような構成において、出力電圧検出回路104からの電圧 $V_{fb}$ は、差動増幅器111のNMOスイッチトランジスタ122のゲートに出力される。このことから、差動増幅回路105は、抵抗103の両端電圧が基準電圧 $V_{ref}$ に一致するように動作して出力電圧検出回路104の両端にレギュレーションされた出力電圧 $V_o$ が発生する。すなわち、出力端子108から出力される電圧 $V_o$ は、下記(a)式のようになる。

) / R 1 0 3 ..... (a)

があった。

【0006】本発明は、上記のような問題を解決するためになされたものであり、出力トランジスタのゲートサイズを増大させることなく、出力電流  $I_o$  が大きくなつてもレギュレーション電圧の低下を抑制することができる安定化電源回路を得ることを目的とする。

[0007]

【課題を解決するための手段】この発明に係る安定化電源回路は、制御信号入力端に入力される制御信号に応じて、外部の直流電源から供給される直流電流を可変して出力端子に出力する出力トランジスタと、該出力端子の電圧検出を行う出力電圧検出部と、該出力電圧検出部で検出された電圧が所定の電圧になるように出力トランジスタの制御信号入力端に制御信号を出力する出力電圧制御部と、出力トランジスタから出力された電流の検出を行い、該検出した出力電流に応じて出力端子の電圧補正を行う出力電圧補正部とを備えるものである。

【0008】具体的には、上記出力電圧補正部は、出力トランジスタから出力された電流の増加に応じて出力端子の電圧を上昇させる補正を行うようにした。

【0009】また、出力電圧補正部は、出力端子と出力電圧検出部との間に設けられた出力電圧補正用抵抗と、出力トランジスタから出力された電流に応じて該出力電圧補正用抵抗に流れる電流を可変する出力電圧補正制御部とを備えるようにした。

【0010】また、上記出力電圧補正用抵抗に可変抵抗を使用するようにしてもよい。

【0011】具体的には、上記出力電圧補正用抵抗にトランジスタと並列に接続する可変抵抗を使用するようにしてもよい。

【0012】

【発明の実施の形態】次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。図1は、本発明の実施の形態における安定化電源回路の例を示した回路図である。図1において、安定化電源回路1は、所定の基準電圧 $V_{ref}$ を生成して出力する基準電圧発生回路2と、差動増幅回路3と、出力回路4とで構成されている。差動増幅回路3は、差動増幅器11、該差動増幅器11に電流を供給するための定電流源をなすNMOSトランジスタ12及び出力部13で構成されている。

【0013】差動増幅器11は、差動動作を行う一対のNチャネル形MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）21及び22、並びに該各NMOSトランジスタ21及び22の負荷をなすカレントミラーハーフ回路を形成するPチャネル形MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）23及び24で形成されている。また、出力部13は、PMOSトランジスタ25と抵抗26との直列回路で形成されている。

【0014】一方、出力回路4は、差動増幅回路3によって動作制御されるPMOSトランジスタの出力トランジスタ15、出力端子51から出力される出力電圧 $V_o$ の補正を行う出力電圧補正部16、並びに抵抗31及び32の直列回路で形成された出力電圧検出部17で構成されている。更に、出力電圧補正部16は、出力トランジスタ15と出力電圧検出部17との間に設けられ出力電圧 $V_o$ の補正を行うために使用される抵抗41、出力トランジスタ15から出力される出力電流 $I_o$ に応じた電流を出力するPMOSトランジスタ42、及び該PMOSトランジスタ42から出力される電流に応じた電流を抵抗41に流すためのカレントミラーハーフ回路を形成するNMOSトランジスタ43、44で構成されている。また、安定化電源回路1には、出力電圧検出部17と抵抗41の直列回路に並列に負荷抵抗 $R_L$ が接続される。

【0015】電源電圧 $V_{DD}$ が印加される電源端子52と接地されるGND端子53との間に基準電圧発生回路2が接続され、基準電圧発生回路2の出力端子は、NMOSトランジスタ12及び21の各ゲートにそれぞれ接続されている。一方、差動増幅回路3において、PMOS

トランジスタ23及び24の各ゲートは接続され、該接続部はPMOSトランジスタ23のドレインに接続されている。PMOSトランジスタ23及び24の各ソースは、電源端子52にそれぞれ接続され、PMOSトランジスタ23のドレインはNMOSトランジスタ21のドレインに接続されている。

【0016】また、PMOSトランジスタ24のドレインはNMOSトランジスタ22のドレインに接続され、該接続部は差動増幅器11の出力端をなし、PMOSトランジスタ25のゲートに接続されている。NMOSトランジスタ21及び22の各ソースは接続され、該接続部とGND端子53との間にNMOSトランジスタ12が接続されている。また、出力部13において、電源端子52とGND端子53との間に、PMOSトランジスタ25と抵抗26との直列回路が接続されており、PMOSトランジスタ25と抵抗26との接続部は、出力トランジスタ15及びPMOSトランジスタ42の各ゲートに接続されている。

【0017】次に、出力回路4において、電源端子52とGND端子53との間に、出力トランジスタ15、抵抗41及び出力電圧検出部17の直列回路が接続され、出力トランジスタ15と抵抗41との接続部が出力端子51に接続されている。また、NMOSトランジスタ43及び44はカレントミラーハーフ回路を形成しており、電源端子52とGND端子53との間に、PMOSトランジスタ42とNMOSトランジスタ43の直列回路が接続されている。

【0018】NMOSトランジスタ43及び44の各ゲートは接続されると共に、該接続部はNMOSトランジスタ43のドレインに接続され、NMOSトランジスタ43及び44の各ソースはGND端子53に接続されている。NMOSトランジスタ44のドレインは、抵抗41と抵抗31との接続部に接続され、抵抗31と抵抗32との接続部は、差動増幅器11のNMOSトランジスタ22のゲートに接続されている。

【0019】このような構成において、差動増幅器11は、基準電圧発生回路2からの基準電圧 $V_{ref}$ 、及び出力回路4の抵抗31と抵抗32との接続部の電圧であるフィードバック電圧 $V_{fb}$ の差動増幅を行い、該差動増幅を行って得られた信号を出力部13のPMOSトランジスタ25のゲートに出力する。該PMOSトランジスタ25は、差動増幅器11から入力された信号に基づいて出力トランジスタ15の動作制御を行う。

【0020】ここで、出力回路4において、出力トランジスタ15とPMOSトランジスタ42のゲート幅を所定の比、例えば1000:1になるように形成する。このようにすることによって、出力トランジスタ15から出力される出力電流 $I_{ds}$ が100mAであるとすると、PMOSトランジスタ42は100μAの電流を出力する。更に、NMOSトランジスタ43及び44は、

ゲート幅が所定の比、例えば2:1になるように形成されている場合、NMOSトランジスタ43に100μAの電流が流れると、NMOSトランジスタ44に流れる電流は50μAとなる。

【0021】また、出力電圧検出部17に10μAの電流が流れるとすると、抵抗41に流れる電流Irは60μAとなる。このとき、抵抗31の抵抗値R31と抵抗32の抵抗値R32が、R31:R32=2:1であるとすると、抵抗41と抵抗31との接続部の電圧は3Vfbとなり、出力電圧Voは、下記(1)式のようになる。

$$V_o = 3 \times V_{fb} + I_r \times R_{41} \dots \dots \dots (1)$$

なお、上記(1)式において、R41は抵抗41の抵抗値を示している。

【0022】このことから、出力回路4を、出力電圧正部16がなく抵抗41を短絡して出力トランジスタ15に出力電圧検出部17が接続された従来の構成と比較して、抵抗41の両端に発生する電圧(Ir×R41)だけ、出力電圧Voを上昇させることができる。例えば、R41=200Ω、Ir=60μAとすると、出力電圧Voは、設定値、すなわち上記(1)式の(3×Vfb)よりも12mV高くなるように制御される。

【0023】このため、負荷電流Ioによる出力電圧Voの低下を相殺する結果となり、負荷電流Ioが大きくなつても出力電圧Voにおけるレギュレーション電圧の低下を抑制することができる。このようにして、出力電圧Voが低下することなく出力電流Ioを増加させることができ、出力電流Ioが電流制限を行う値に達すると出力電圧が0Vとなる図2のような出力特性を得ることができる。

【0024】なお、プロセスの変動による各MOSトランジスタのドライブ能力の変化、抵抗値のばらつき等から、負荷電流Ioの値に対する出力電圧Voの低下の度合いが変わる場合がある。このようなことから、図3で示すように、抵抗41にトリミング抵抗を使用してもよく、製造時に安定化電源回路1に接続する負荷抵抗RLに応じて抵抗41をトリミングすることにより、出力電圧Voの低下を抑制し、より精度のよいレギュレーション電圧が得られる。また、抵抗41をトリミング抵抗の代わりに抵抗値の調整を行うことができる可変抵抗を使用してもよい。

【0025】このように、本実施の形態における安定化電源回路は、出力トランジスタ15と、出力電圧Voに応じたフィードバック電圧Vfbを生成する出力電圧検出部17との間に、出力電流Ioの電流値に応じた電流を抵抗41に流して出力電圧Voの低下を相殺して補正する出力電圧補正部16を備えるようにした。このことから、出力トランジスタのゲートサイズを増大させることなく、負荷電流が大きくなつても出力電圧の低下を抑制することができ、出力電圧のレギュレーション精度を

良くすることができる。また、抵抗41にトリミング抵抗等の可変抵抗を使用することにより、プロセス変動による出力電圧の変動を補正することができ、出力電圧のレギュレーション精度を更に良くすることができる。

【0026】

【発明の効果】上記の説明から明らかなように、本発明の安定化電源回路によれば、出力トランジスタから出力された電流の検出を行い、検出した出力電流に応じて出力端子から出力される電圧の補正を行うようにした。このことから、出力トランジスタのゲートサイズを増大させることなく、出力端子から出力される負荷電流の増加に伴つた出力電圧の低下を抑制することができ、出力電圧のレギュレーション精度を良くすることができる。

【0027】具体的には、出力トランジスタから出力された電流の増加に応じて出力端子から出力される電圧を上昇させて補正を行うようにした。このことから、負荷電流の増加に伴つた出力電圧の低下をより確実に抑制することができ、出力電圧のレギュレーション精度を良くすることができる。

【0028】また、出力端子と出力電圧検出部との間に出力電圧補正用抵抗を設け、該抵抗に出力トランジスタから出力された電流に応じた電流を流すようにしてもよい。このことから、負荷電流の増加に伴つた出力電圧の低下をより確実に抑制することができる。

【0029】一方、出力電圧補正用抵抗に可変抵抗を使用することにより、プロセス変動による出力電圧の変動を補正することができ、出力電圧のレギュレーション精度を更に良くすることができる。

【0030】また、出力電圧補正用抵抗にトリミング抵抗を使用してもよく、このようにすることによって、プロセス変動による出力電圧の変動を容易に補正することができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態における安定化電源回路の例を示した回路図である。

【図2】 図1で示した安定化電源回路の出力電圧-電流特性を示した図である。

【図3】 本発明の実施の形態における安定化電源回路の他の例を示した回路図である。

【図4】 安定化電源回路の従来例を示した回路図である。

【図5】 図4で示した安定化電源回路の出力電圧-電流特性を示した図である。

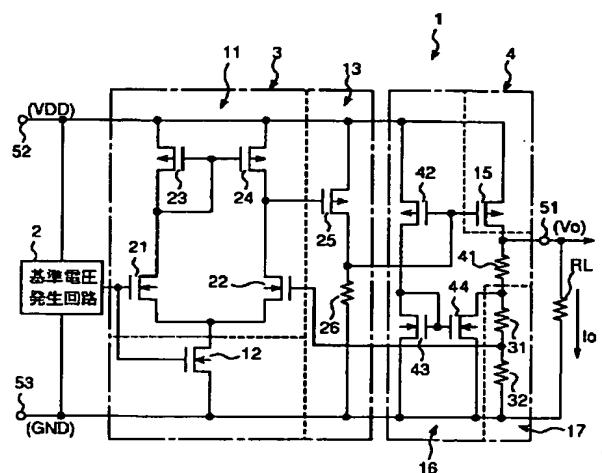
#### 【符号の説明】

- 1 安定化電源回路
- 2 基準電圧発生回路
- 3 差動増幅回路
- 4 出力回路
- 11 差動増幅器
- 13 出力部

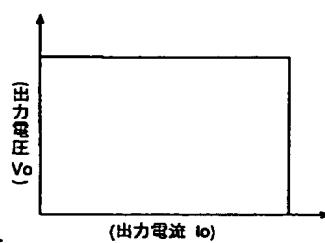
15 出力トランジスタ  
16 出力電圧補正部  
17 出力電圧検出部

51 出力端子  
52 電源端子  
53 GND端子

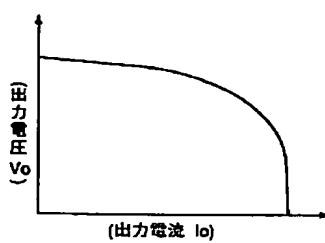
【図1】



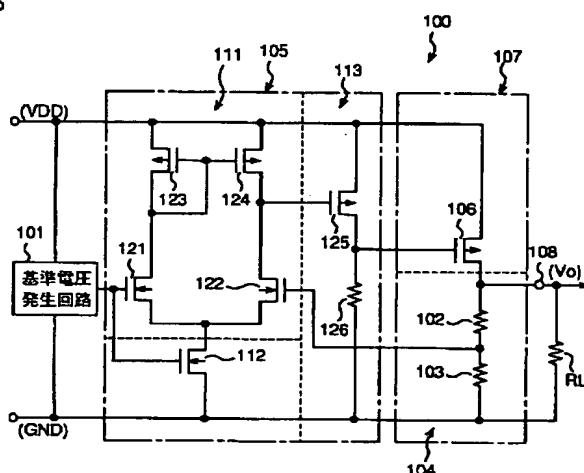
【図2】



【図5】



【図4】



【図3】

